

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hwang et al.

Application No.: To Be Assigned

Filed: Concurrently Herewith

For: **PHASE-CHANGE MEMORY DEVICES AND METHODS FOR FORMING
THE SAME**

March 31, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

PO Box 1450

Alexandria, VA 22313-1450

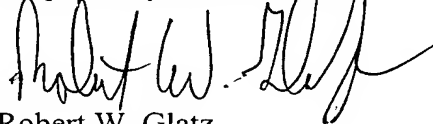
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-0020755, filed April 2, 2003.

Respectfully submitted,



Robert W. Glatz

Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

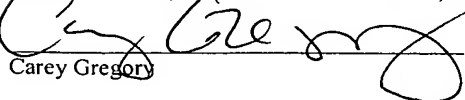
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381442344 US

Date of Deposit: March 31, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020755
Application Number

출원 년 월 일 : 2003년 04월 02일
Date of Application APR 02, 2003

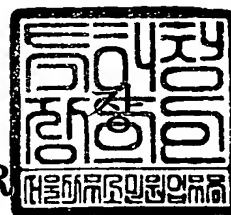
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 26 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.02
【발명의 명칭】	상변화 기억 소자 및 그 형성 방법
【발명의 영문명칭】	PHASE CHANGE MEMORY DEVICE AND METHOD FOR FORMING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	황영남
【성명의 영문표기】	HWANG, YOUNG-NAM
【주민등록번호】	681114-1026017
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통현대아파트 303동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	김영태
【성명의 영문표기】	KIM, YOUNG-TAE
【주민등록번호】	730501-1454913
【우편번호】	320-944
【주소】	충청남도 논산시 성동면 정지리
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 22 항 813,000 원

【합계】 868,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 상변화 기억 소자는 상변화 물질막과 전극 사이에 날카로운 접촉 영역을 가진다. 이와 같은 날카로운 접촉 영역에서의 전류 밀도가 증가하게 되고 결과적으로 저전압 동작을 가능하게 하여 소자의 집적도를 증대시킬 수 있다.

【대표도】

도 3b

【색인어】

상변화 물질, 상변화 기억 소자,

【명세서】**【발명의 명칭】**

상변화 기억 소자 및 그 형성 방법{PHASE CHANGE MEMORY DEVICE AND METHOD FOR FORMING THE SAME}

【도면의 간단한 설명】

도 1 및 도 2는 통상적인 상변화 기억 소자를 개략적으로 도시하는 단면도들이다.

도 3a는 본 발명의 일 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이고 도 3b는 도 3a의 일부를 확대한 도면이다.

도 4는 본 발명의 다른 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이다

도 5 내지 도 14는 도 3에 보여진 상변화 기억 소자를 형성하는 일 실시예에 따른 방법을 설명하기 위해 공정 순서에 따라 나열한 공정 단면도들이다.

도 15 내지 도 16은 는 도 3에 보여진 상변화 기억 소자를 형성하는 다른 실시예에 따른 방법을 설명하기 위해 공정 순서에 따라 나열한 공정 단면도들이다.

도 17 내지 도 20은 도 4에 보여진 상변화 기억 소자를 형성하는 일 실시예에 따른 방법을 설명하기 위해 공정 순서에 따라 나열한 공정 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

311, 313, 315, 321 : 절연막 319, 327 : 전극

325 : 상변화 물질막 320 : 접촉 영역

300 : 프로그램 영역 501 : 기판

503 : 게이트 505s : 소오스

505d : 드레인 507 : 절연막

509 : 콘택 패드 611, 613 : 포토레지스트 패턴

623 : 금속 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 기억 소자에 관한 것으로서, 더욱 상세하게는 상변화 기억 소자 및 그 형성 방법에 관한 것이다.

<16> 반도체 기억 소자들은 전원 공급이 중단되었을 때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나누어 질 수 있다. 휘발성 기억 소자의 대표적인 것이 디램(DRAM) 소자 및 에스램(SRAM) 소자이며, 비휘발성 기억소자의 대표적인 것이 플래쉬(FLASH) 기억 소자이다. 이와 같은 전형적인 기억 소자들은 저장된 전하 유무에 따라 논리 "0" 또는 논리 "1"을 나타냄으로써 기억 소자로서의 기능을 한다.

<17> 최근, 비휘발 특성, 임의 접근, 저전력 동작 특성, 고집적도를 가능하게 하는 새로운 기억 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상변화 기억 소자이다. 상변화 기억 소자는 전류 펄스에 의한 저항 가열(heat)에 의존하여 그 결정 상태가 변하는 상변화 물질을 사용한다. 통상적으로 상변화 물질로서 게르마늄(Ge), 안티모니(Sb) 및 텔루리움(Te)으로 구성된 칼코겐 화합물(GST)을 사용한다.

- <18> 비정질 상태의 상변화 물질은 높은 전기적 저항을 나타내고, 비정질 상태의 상변화 물질이 점차적으로 결정질 상태로 변하면 그 전기적 저항은 점차 감소한다. 결정 상태에 따라서 저항의 크기가 서로 다르기 때문에 저항 차이를 감지하여 논리 정보를 결정할 수 있다.
- <19> 이와 같은 상변화 물질을 이용한 상변화 기억 소자에서 상변화 물질막은 두 전극들 사이에 위치한다. 전극 및 상변화 물질이 접촉하여 형성되는 접촉 영역은 소자의 동작속도, 전력 요구 조건, 소자의 성능과 관련이 있다. 상변화 물질막 중 전극과 접촉하는 접촉 영역 주위의 일부 상변화 물질(이하에서 '프로그램 영역(program region)'이라 칭함)이 그 결정 상태가 변한다. 이러한 프로그램 영역의 부피가 작을 수록 원하는 결정 상태를 형성하기 위해 필요 되는 프로그램 전류는 작아진다. 이와 같은 프로그램 영역의 부피는 접촉 영역의 면적과 관련이 있다. 따라서, 프로그램 전류 또는 시간을 줄이기 위해서 접촉 영역의 크기를 줄이기 위한 많은 노력들이 시도되고 있다.
- <20> 도 1은 통상적인 상변화 기억 소자를 개략적으로 도시한 단면도이다. 도 1에서 참조번호 11 및 19는 절연막을, 참조번호 13은 하부전극을, 참조번호 15는 상변화 물질막을, 참조번호 17은 상부전극을, 참조번호 21은 상부전극 콘택을, 참조번호 23은 비트 라인을 각각 가리킨다. 도 1을 참조하면, 절연막(11)을 관통하는 플러그형 하부전극(13)이 상변화 물질막(17)의 결정 상태를 변화시키기 위한 전류 펄스를 공급한다. 도시된 바와 같이 통상적인 상변화 기억 소자의 경우 하부전극(13)과 상변화 물질막(15)이 접촉하여 형성되는 접촉 영역(25)은 평탄하며, 그 크기는 플러그 형태를 가지는 하부전극(13)의 모양 및 그 직경에 의존한다. 하부전극(13)을 통해서 전류가 흐르면, 전류는 상변화 물질막(15)을 통과하여 상부전극(17)으로 흐른다. 이때, 전류는 화살표로 표시된바와 같이 접촉 영역(25)에서 집중되었다가 상변화 물질막(15) 전체로

퍼져 나가며 전류 밀도는 점차 감소한다. 따라서 프로그램 영역(27)은 도시된 바와 같이 접촉 영역(25) 상에 반구형으로 형성된다.

<21> 이와 같은 통상적인 상변화 기억 소자에서 프로그램 전류의 크기를 감소시키기 위해서는 접촉 영역(25)의 크기를 감소시켜야 하며, 결국 하부전극(13)의 직경을 감소시켜야 한다. 하지만 하부전극(13)의 직경은 사진공정의 해상도에 의존하기 때문에 프로그램 전류 크기를 감소시키는 데에는 한계가 있다.

<22> 따라서, 프로그램 전류를 줄이기 위해서 미합중국특허 제6,329,666호는 플러그 형태의 하부전극이 아닌 선단(tip) 형상의 하부전극을 적용하고 있다. 도 2는 상기 특허6,329,666호에 따른 상변화 기억 소자를 개략적으로 도시한다. 도 2에서, 참조번호 100은 기판을, 참조번호 102는 하부전극을, 참조번호 114는 선단(tip)을, 참조번호 116, 124는 절연막을, 참조번호 118은 선단(114)의 상부 표면을, 참조번호 120은 상변화 물질막을, 참조번호 128, 122는 상부전극을 참조번호 126은 배선을, 참조번호 130은 프로그램 영역을 가리킨다. 본 특허의 경우, 하부전극(102)을 선단을 가지도록 하여 접촉 영역의 면적(118)을 도 1의 그것보다 더 작게 형성하여 프로그램 전류를 다소 줄였다. 하지만, 본 특허의 경우에도 하부전극(102)과 상변화 물질막(120)이 접촉하는 영역, 즉, 접촉 영역(118, 선단의 상부 표면)이 평탄하다. 따라서, 프로그램 영역(130)이 도 1의 그것과 마찬가지로 반구형이다. 즉, 하부전극(102)을 통해서 전류가 흐르면, 전류는 상변화 물질막(120)을 통과하여 상부전극(128, 122)으로 흐른다. 이때, 전류는 화살표로 표시된바와 같이 접촉 영역(118)에서 집중되었다가 상변화 물질막(120) 전체로 퍼져 나가며 전류 밀도는 점차 감소한다.

<23> 이상에서 설명한 통상적인 상변화 기억 소자들에 따르면 접촉 영역이 평탄하게 형성되기 때문에(평면을 이루기 때문에), 전류는 접촉 영역에서 상변화 물질막을 향해 사방으로 흐르게

된다(도 1 및 도 2의 화살표 참조). 따라서, 전류 밀도는 상변화 물질막을 지나가면서 점차적으로 감소하게 되고 결국은 프로그램 전류의 크기를 감소시키는 데에 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명의 실시예들은 프로그램 전류 크기를 현저히 줄일 수 있는 상변화 기억 소자 및 그 형성 방법을 제공한다.

【발명의 구성 및 작용】

<25> 본 발명의 일 실시예에 따른 상변화 기억 소자는 제1전극 및 제2전극 그리고 이들 사이에 개재한 상변화 물질막을 포함한다. 상기 상변화 물질막의 일부와 상기 제1전극의 일부가 서로 접촉하여 날카로운 접촉 영역을 형성한다. 상기 상변화 물질막 상에는 상기 제2전극이 위치한다. 상기 제1전극은 수평부 및 함몰된 경사부를 포함한다. 상기 상변화 물질막은 수평부 및 수직부를 포함한다. 상기 제1전극의 함몰된 경사부와 상기 상변화 물질막의 수직부가 직접 접촉하여 날카로운 접촉 영역을 형성한다. 상기 상변화 물질막의 수평부 상에 상기 제2전극이 위치한다. 상기 상변화 물질막의 수직부는 그 선단이 경사져서 날카롭다. 즉, 상기 상변화 물질막의 수직부는 상기 수평부에 대해서 실질적으로 수직인 수직 측벽 및 상기 제1전극의 함몰된 경사부 일부에 접촉하는 경사 측벽을 포함한다. 상기 상변화 물질막의 수직부의 경사 측벽(즉, 상기 제1전극의 함몰된 경사부)은 직선, 곡선 등 다양한 형태를 나타낼 수 있다.

<26> 이와 같은 상변화 기억 소자에 따르면, 상기 제1전극과 접촉하는 상기 상변화 물질막의 수직부의 선단이 경사진 형상이기 때문에, 그곳에서의 전류 밀도가 증가한다. 따라서 프로그램 전류 크기를 감소시킬 수 있다.

- <27> 본 발명의 일 태양에 따른 상변화 기억 소자는 수평부 및 상기 수평부에서 연장하여 함몰된 경사부를 가지는 제1전극과, 상기 제1전극의 경사부를 노출시키는 개구부를 가지며 상기 제1전극 상에 배치된 절연막과, 상기 개구부를 채우면서 상기 절연막 상에 배치되어 상기 제1전극의 경사부에 접촉하는 상변화 물질막과, 상기 상변화 물질막 상에 배치된 제2전극을 포함한다.
- <28> 일 실시예에 있어서, 상기 제1전극의 함몰된 경사부는 알파벳 대문자 "V" 형상을 나타낼 수 있다.
- <29> 본 발명의 다른 태양에 따른 상변화 기억 소자는, 상부 경사 측벽부 및 거기에 연속하는 하부 수직 측벽부에 의해 정의되는 제1개구부를 가지며 기판 상에 배치된 제1절연막과, 상기 제1개구부 양측의 수평부 및 거기에서 연속하는 함몰된 경사부를 가지며 상기 제1개구부 및 상기 제1절연막 상에 배치된 제1전극과, 상기 제1전극 상에 배치되며 상기 제1전극의 함몰된 경사부를 노출시키는 제2개구부를 가지는 제2절연막과, 상기 제2개구부 및 상기 제2절연막 상에 배치된 상변화 물질막과, 상기 상변화 물질막 상에 배치된 제2전극을 포함한다.
- <30> 일 실시예에 있어서, 상기 제1전극의 함몰된 경사부는 알파벳 대문자 "V" 형상인 상변화 기억 소자.
- <31> 일 실시예에 있어서, 상기 제1절연막은 질화산화실리콘막 및 산화실리콘막이 차례로 적층되어 이루어지고, 상기 제1개구부의 하부 수직 측벽부는 상기 질화산화실리콘막에 의해 정의되고, 상기 제1개구부의 상부 경사 측벽부는 상기 산화실리콘막에 의해 정의된다.
- <32> 일 실시예에 있어서, 상기 제2개구부의 직경은 상기 제1개구부의 하부 수직 측벽부에 의해 정의되는 하부 개구부의 직경보다 더 작다.

- <33> 일 실시예에 있어서, 상기 상변화 물질막은 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합이다.
- <34> 일 실시예에 있어서, 상기 제1절연막은, 임시 개구부를 가지면서 질화산화실리콘막 및 산화실리콘막이 차례로 적층된 이중막 구조 및 상기 임시 개구부 양측벽에 배치되며 상부는 경사지고 하부는 수직인 절연막 스페이서로 이루어진다. 이때, 상기 제1개구부의 상부 경사 측벽부는 상기 절연막 스페이서의 상부 경사부에 의해 정의되고, 상기 제1개구부의 하부 수직 측벽부는 상기 절연막 스페이서의 하부 수직부에 의해서 정의된다.
- <35> 본 발명의 일 태양에 따른 상변화 기억 소자 형성 방법은 반도체 기판 상에 제1절연막을 형성하고, 경사진 상부 측벽부에 의해 정의되는 상부 개구부 및 수직의 하부 측벽부에 의해 정의되는 하부 개구부로 이루어진 제1개구부를 가지도록 상기 제1절연막을 패터닝하고, 상기 제1개구부 상에서 함몰된 경사부를 가지도록 상기 제1절연막 및 상기 제1개구부를 따라 제1전극막을 형성하고, 상기 제1전극막 상에 제2절연막을 형성하고, 상기 제1전극의 함몰된 경사부를 노출시키는 제2개구부를 가지도록 상기 제2절연막을 패터닝하고, 상기 제2개구부를 채우도록 상기 제2절연막 상에 상변화 물질막을 형성하고, 상기 상변화 물질막 상에 제2전극막을 형성하고, 상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝하는 것을 포함한다.
- <36> 일 실시예에 있어서, 상기 제1절연막을 패터닝하는 것은, 상기 제1절연막 상에 식각 마스크를 형성하고, 상기 식각 마스크에 의해 노출된 상기 제1절연막의 일부 두께를 비이방성 식각하여 상기 상부 개구부를 형성하고, 상기 식각 마스크에 의해 노출된 상기 상부 개구부 하부의 제1절연막을 이방성 식각하여 상기 하부 개구부를 형성하는 것을 포함한다.

- <37> 일 실시예에 있어서, 상기 제1절연막을 패터닝하는 것은, 상기 제1절연막 상에 식각 마스크를 형성하고, 상기 식각 마스크에 의해 노출된 상기 제1절연막을 이방성 식각하여 상기 제1절연막에 상기 하부 개구부의 직경을 갖는 임시 하부 개구부를 형성하고, 상기 임시 하부 개구부의 상부를 한정하는 상기 제1절연막 일부를 비이방성 식각하여 상기 상부 개구부를 형성하는 것을 포함한다. 이때, 잔존하는 임시 하부 개구부는 상기 하부 개구부에 대응한다.
- <38> 일 실시예에 있어서, 상기 제1절연막은 질화산화실리콘막 및 산화실리콘막이 차례로 적층시켜 형성하고, 상기 상부 개구부는 상기 산화실리콘막에 형성되고, 상기 하부 개구부는 상기 질화산화실리콘막에 형성된다.
- <39> 일 실시예에 있어서, 상기 제2개구부의 직경이 제1개구부의 하부 개구부의 직경보다 더 작도록 상기 제2개구부가 형성된다.
- <40> 일 실시예에 있어서, 상기 제2전극막을 형성한 후, 상기 제2전극막 상에 질화산화실리콘막 및 산화실리콘막을 더 형성하는 것을 포함하고, 이때, 상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝할 때, 상기 산화실리콘막 및 질화산화실리콘막도 동시에 패터닝한다. 또한, 상기 제1절연막을 형성하기 전에, 상기 기판 상에 트랜지스터를 형성하고, 상기 트랜지스터를 덮도록 상기 기판 상에 제1층간절연막을 형성하고, 상기 트랜지스터의 소오스 영역에 전기적으로 접속하는 콘택 패드 및 상기 트랜지스터의 드레인 영역에 접속하는 제1배선을 형성하는 것을 더 포함한다. 또, 상기 산화실리콘막, 질화산화실리콘막, 제2전극막, 상변화 물질막, 제2절연막 및 제1전극막을 차례로 패터닝한 후, 보호 절연막을 형성하고, 상기 보호 절연막 상에 제2층간절연막을 형성하고, 상기 제2층간절연막, 보호 절연막, 패터닝된 산화실리콘막, 질화산화실리콘막을 패터닝하여 패터닝된 제2전극막을 노

출시키는 비아홀을 형성하고, 상기 비아홀을 도전물질로 채우고, 상기 제2층간절연막 및 상기 도전물질 상에 제2배선을 형성하는 것을 더 포함한다.

<41> 본 발명의 다른 태양에 따른 상변화 기억 소자 형성 방법은 반도체 기판 상에 제1절연막을 형성하고, 상기 제1절연막을 패터닝하여 임시 개구부를 형성하고, 상기 임시 개구부의 측벽에 절연막 스페이서를 형성하되, 상기 절연막 스페이서는 경사진 상부 측벽부에 의해 정의되는 상부 개구부 및 수직의 하부 측벽부에 의해 정의되는 하부 개구부로 이루어진 제1개구부를 정의하고, 상기 제1개구부 상에서 함몰된 경사부를 가지도록 상기 제1절연막 및 상기 제1개구부를 따라 제1전극막을 형성하고, 상기 제1전극막 상에 제2절연막을 형성하고, 상기 제1전극의 함몰된 경사부를 노출시키는 제2개구부를 가지도록 상기 제2절연막을 패터닝하고, 상기 제2개구부를 채우도록 상기 제2절연막 상에 상변화 물질막을 형성하고, 상기 상변화 물질막 상에 제2전극막을 형성하고, 상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝하는 것을 포함한다.

<42> 일 실시예에 있어서, 상기 제2개구부의 직경이 상기 제1개구부의 하부 개구부의 직경보다 더 작도록 상기 제2개구부가 형성된다.

<43> 일 실시예에 있어서, 상기 제2전극막을 형성한 후, 상기 제2전극막 상에 질화산화실리콘막 및 산화실리콘막을 더 형성하는 것을 포함하고, 상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝할 때, 상기 산화실리콘막 및 질화산화실리콘막도 동시에 패터닝한다. 또한, 상기 제1절연막을 형성하기 전에, 상기 기판 상에 트랜지스터를 형성하고, 상기 트랜지스터를 덮도록 상기 기판 상에 제1층간절연막을 형성하고, 상기 트랜지스터의 소오스 영역에 전기

적으로 접속하는 콘택 패드 및 상기 트랜지스터의 드레인 영역에 접속하는 제1배선을 형성하는 것을 더 포함하고, 상기 산화실리콘막, 질화산화실리콘막, 제2전극막, 상변화 물질막, 제2절연막 및 제1전극막을 차례로 패터닝한 후, 보호 절연막을 형성하고, 상기 보호 절연막 상에 제2층간절연막을 형성하고, 상기 제2층간절연막, 보호 절연막, 패터닝된 산화실리콘막, 질화산화실리콘막을 패터닝하여 패터닝된 제2전극막을 노출시키는 비아홀을 형성하고, 상기 비아홀을 도전물질로 채우고, 상기 제2층간절연막 및 상기 도전물질 상에 제2배선을 형성하는 것을 더 포함한다.

<44> 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막), 패턴 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고(또는 형성된다고) 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<45> 도 3a는 본 발명의 일 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이고, 도 3b는 도 3a의 점선 내부를 확대 도시한 것이다. 도 3a에서, 참조번호 315는 제1절연막을, 참조번호 321은 제2절연막을, 참조번호 317은 상기 제1

절연막(315)에 형성된 제1개구부를, 참조번호 323은 상기 제2절연막(321)에 형성된 제2개구부를, 참조번호 319는 제1전극을, 참조번호 325는 상변화 물질막을, 참조번호 327은 제2전극을, 참조번호 320은 상기 제1전극(319) 및 상변화 물질막(325)이 접촉하여 형성되는 접촉 영역을 각각 가리킨다. 도 3b에서, 참조번호 325H 및 325V는 각각 상변화 물질막(325)의 수평부 및 수직부를 가리키고, 참조번호 319H 및 319S는 각각 제1전극(319)의 수평부 및 함몰된 경사부를 가리킨다. 또, 참조번호 325Vv 및 325Vs는 각각 상변화 물질막(325)의 수직부(325V)의 수직 측벽 및 경사 측벽을 가리키고, 참조번호 319Hh 및 319Ss는 제1전극(319)의 수평부(319H)의 상부 표면 및 경사부(319S)의 상부 표면을 각각 가리키고, 참조번호 300은 프로그램 영역을 가리킨다.

<46> 도 3a를 참조하면, 본 발명의 일 실시예에 따른 상변화 기억 소자는 제1전극(319), 상변화 물질막(325) 및 제2전극(327)을 포함한다. 제1전극(319)은 제1절연막(315) 내에 형성된 제1개구부(317) 및 제1절연막(315) 상에 위치한다. 제1개구부(317)는 그 직경이 점차 줄어들다가 일정 직경을 유지한다. 즉, 제1개구부(317)의 상부 개구부(317U)의 측벽은 경사져 그 직경이 점차 감소하고, 제1개구부(317)의 하부 개구부(317L)의 측벽은 수직이어서 그 직경이 일정하다. 바람직하게 제1절연막(315)은 질화산화실리콘막(SiON , 311) 및 산화실리콘막(SiO_2 , 313)이 차례로 적층된 구조를 가진다. 이때, 제1개구부(317)의 상부 개구부(317U)는 산화실리콘막(313)에 형성되고, 제1개구부(317)의 하부 개구부(317L)는 질화산화실리콘막(311)에 형성된다. 제1개구부(317)의 상부(317U)가 경사져 있어, 제1전극(319)은 함몰된 상부 표면을 가진다. 즉, 도 3b를 참조하면, 제1전극(319)은 수평부(319H) 및 함몰된 경사부(319S)를 포함한다. 함몰된 경사부(319S)는 제1개구부(317)에 위치하고 수평부(319H)는 제1개구부(317)의 외측의 제1절연막(315) 상에 위치한다. 제1전극(319)의 수평부(319H)의 상부 표면(319Hh)은 평탄하고,

경사부(319S)의 상부 표면(319Ss)은 경사져있다. 따라서 경사부(319S)의 상부 표면(319Ss)은 알파벳 대문자 'V' 형상을 나타낸다.

<47> 다시 도 3a를 참조하여, 제1전극(319) 상에 제2개구부(323)를 구비한 제2절연막(321)이 위치한다. 제2개구부(323)는 제1전극(319)의 함몰된 경사부(319S), 즉, 그 상부 표면(319Ss)의 일부를 노출시킨다.

<48> 상변화 물질막(325)이 제2개구부(323)를 채우면서 제2절연막(321) 상에 위치한다. 따라서 상변화 물질막(325) 및 제1전극(319)이 접촉하는 접촉 영역(320)은 제1전극(319)의 경사부(319S)의 상부 표면에 대응하여 날카롭게('V' 자형으로) 형성된다. 구체적으로 도 3b를 참조하여, 상변화 물질막(325)은 제2절연막(321) 상에 위치한 부분, 즉 수평부(325H) 및 여기에서 아래로 확장하여 노출된 제1전극(319)의 함몰된 경사부(319S)의 상부 표면(319Ss)에 접촉하는 수직부(325V)를 포함한다. 상변화 물질막(325)의 수직부(325V)의 선단은 제1전극(319)의 함몰된 경사부(319S)에 대응하는 뾰족한 형상('V' 자형, 또는 원추형)을 가진다. 즉, 상변화 물질막(325)의 수직부(325V)는 그것의 수평부(325H)에 실질적으로 수진인 수직의 측벽(325Vv) 및 뾰족한 선단을 구성하는 경사 측벽(325Ss)을 포함한다.

<49> 다시 도 3a를 참조하여, 상변화 물질막(325) 상에 제2전극(327)이 위치한다.

<50> 제2개구부(323)의 직경은 제1개구부(317)의 하부 개구부(317L)의 직경보다 작다. 프로그램 전류를 더 감소시키기 위해서 제2개구부(323)의 직경은 가능한 작은 것이 바람직하다.

<51> 제1전극(319) 및 제2전극(327)은 각각, 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막일 수 있다. 예컨대, 질소

원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다.

<52> 상변화 물질막(325)은 칼코젠 원소인 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진다. 예컨대, 상기 상변화 물질막 패턴(121a)은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등을 포함할 수 있다.

<53> 상변화 물질막(325) 및 제1전극(319)이 접촉하는 접촉 영역(320)이 날카롭기 때문에('V'자형), 제1전극(319)을 통해 공급된 전류 펄스는 도 3b에 화살표가 가리키는 방향으로 흐르며 따라서 상변화 물질막(325)의 원추형('V'자형) 선단부에서 전류 밀도가 집중하게 된다. 따라서 프로그램 전류의 크기를 줄일 수 있다. 본 실시예에 따르면, 프로그램 영역(300)은 개략적으로 뒤집어진 원추형 형상을 가진다.

<54> 도 4는 본 발명의 다른 실시예에 따른 상변화 기억 소자를 개략적으로 도시한다. 도 3a에 보여진 상변화 기억 소자와 동일하며 단지 제1절연막의 구조가 다를 뿐이다. 도 4에서 참조번호 316은 절연막 측벽 스페이서를, 참조번호 314는 임시 개구부를 가리킨다. 도 4를 참조하면, 제1절연막(315)은 일정 직경을 가지는 임시 개구부(314)를 구비한다. 절연막 측벽 스페이서(316)가 임시 개구부(314)의 양측벽에 위치하여 제1개구부(317)를 한정한다. 절연막 측벽 스페이서(316)의 상부는 경사졌기 때문에, 제1개구부(317)는 도 3a에 도시된 그것과 동일하게,

상부 개구부(317U)의 측벽(측벽 스페이서의 상부에 대응)은 경사져 그 직경이 점차 감소하고, 하부 개구부(317L)의 측벽(측벽 스페이서의 하부에 대응)은 수직이어서 그 직경이 일정하다.

<55> 이하에서는 본 발명의 일 실시예에 따른 상변화 기억 소자를 형성하는 방법들에 대하여 상세히 설명을 한다. 도 5 내지 도 14는 도 3a 및 도 3b에 보여진 상변화 기억 소자를 형성하는 방법을 설명하기 위한 주요 공정 단계에서의 반도체 기판의 단면도들이다. 먼저 도 5를 참조하여, 통상적인 모스 전계효과 트랜지스터(MOSFET) 공정을 진행하여 반도체 기판 (501)에 게이트 전극(503), 소오스 영역(505s) 및 드레인 영역(505d)을 포함하는 트랜지스터를 형성한다. 게이트 전극(503)은 기판(501) 상에 형성되며 일정한 방향으로 신장한다. 소오스 영역(505s) 및 드레인 영역(505d)은 게이트 전극(503) 양측의 기판, 즉 활성 영역에 형성된다. 상기 게이트 전극(503) 및 기판(501) 사이에는 게이트 절연막이 개재한다.

<56> 계속해서, 트랜지스터를 완전히 덮도록 하부충간절연막(507)을 형성한다. 하부충간절연막(507)은 예컨대, 실리콘 산화막으로 형성되며, 화학적기상증착(CVD) 방법 등이 사용되어 형성될 수 있다.

<57> 다음, 하부배선 공정 및 콘택 패드 공정을 진행한다. 하부배선(도면에 나타내지 않음)은 트랜지스터의 드레인 영역(505d)에 전기적으로 접속하는 도전성 배선이다. 예컨대, 하부배선은 게이트 전극(503)과 평행하도록 신장될 수 있다. 콘택 패드(509)는 트랜지스터의 소오스 영역(505s)에 전기적으로 접속한다. 본 실시예에서는 듀얼 다마신(dual damascene) 공정을 사용하여 하부배선 및 콘택 패드(509)를 형성한다. 구체적으로, 하부충간절연막(507)을 패터닝하여 콘택 패드용 개구부(509a) 및 여기에 연속하며 소오스 영역(505s)을 노출시키는 콘택홀(509b)을 형성한다. 이때 하부배선을 위한 홈 및 드레인 영역(505d)을 노출시키는 콘택홀도 동시에 형성한다. 패드용 개구부(509a) 및 콘택홀(509b) 그리고 배선용 홈 및 콘택홀을 도전물질로 채

우고 평탄화 공정을 진행하여 콘택 패드(509) 및 하부배선을 형성한다. 도전물질로서, 예컨대, 텅스텐을 사용할 수 있다.

<58> 비록 듀얼 다마신 공정을 사용하여 하부배선 및 콘택 패드(509)를 형성하였지만, 다른 방법을 사용할 수도 있다. 즉, 하부층간절연막(507)을 패터닝하여 소오스 영역(505s) 및 드레인 영역(505d)을 노출시키는 콘택홀들을 형성한 후 이들 콘택홀들을 채우도록 하부층간절연막(507) 상에 도전물질을 형성하고 이를 패터닝하여 형성할 수 도 있다.

<59> 다음 도 6을 참조하여, 콘택 패드(509) 및 하부배선 그리고 하부층간절연막(507) 상에 제1절연막(315)을 형성한다. 바람직하게, 제1절연막(315)은 질화산화실리콘막(SiON, 311) 및 산화실리콘막(SiO₂, 313)을 순차적으로 적층시키어 형성한다. 계속해서, 제1절연막(315) 상에 제1 식각 마스크(611)를 형성한다. 제1 식각 마스크(611)는 포토레지스트를 스핀 코팅한 후 이를 노광 및 현상함으로써 형성될 수 있다.

<60> 다음 도 7을 참조하여, 제1 식각 마스크(611)에 의해 노출된 제1절연막(315)의 일부 두께를 제거하여 아래로 갈수록 직경이 감소하는 상부 개구부(317U)를 형성한다. 여기서, 앞서 언급한 바와 같이, 제1절연막(315)이 질화산화실리콘막(311) 및 산화실리콘막(313)의 이중막 구조를 가질 경우, 산화실리콘막(311)이 제거되고 산화질화실리콘막(311)이 식각 저지막 역할을 한다. 즉, 상부 개구부(317U)는 산화실리콘막(313)에 형성된다. 제1절연막(315)의 일부 두께 제거(또는 산화실리콘막(313)의 제거)는 비이방성 식각에 의해 이루어진다. 예컨대, 습식 식각 용액을 사용할 수 있다. 제거할 제1절연막(315)의 두께(또는 산화실리콘막(313)의 두께)를 고려하여, 적절한 시간 동안 습식 식각을 진행하여 상부 개구부(317U)를 형성한다.

<61> 다음 도 8을 참조하여, 제1 식각 마스크(611)를 사용하여 상부 개구부(317U)에 의해 노출된 제1절연막(315)(또는 질화산화실리콘막(311))을 이방성 식각하여 콘택 패드(509)를 노출

시키는 하부 개구부(317L)를 형성한다. 상부 개구부(317U) 및 하부 개구부(317L)는 제1개구부(317)를 구성한다. 제1절연막(315)(또는 질화산화실리콘막(311))의 이방성 식각은 예컨대, 건식 식각에 의해서 진행될 수 있다.

<62> 다음 도 9를 참조하여, 제1 식각 마스크(611)를 제거한 후 제1전극막(319)을 제1개구부(317) 및 제1절연막(315) 상에 형성한다. 상술한 바와 같이 제1개구부(317)의 상부, 즉, 상부 개구부(317U)는 그 직경이 점차 감소하기 때문에, 제1전극막(319)은 제1개구부(317) 내에 함몰된 경사부(319S)를 가진다. 함몰된 경사부(319S)는 그 상부 표면(319Ss)이 오목하게 들어간 형상, 예컨대, 'V' 자형을 나타낸다. 제1전극막(319)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상이 적층된 다층막일 수 있다. 제1전극(319)은 화학적기상증착법(CVD), 플라즈마 기상증착법(PVD), 원자층증착법(ALD) 등의 막질 증착 방법을 사용하여 형성될 수 있다. 질소 원소를 함유하는 도전성 물질은, 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다. 바람직하게 제1전극(319)은 질화티타늄막으로 형성된다.

<63> 다음 도 10을 참조하여, 제1전극막(319) 상에 제2절연막(321)을 형성한다. 제2절연막(321)은 예컨대, 화학적기상증착법을 사용한 산화실리콘으로 형성될 수 있다. 계속해서, 제2절

연막(321) 상에 제2 식각 마스크(613)를 형성한다. 제2 식각 마스크(613)는 포토 레지스트를 스핀 코팅하고 노광 및 현상하여 형성될 수 있다.

<64> 다음 도 11을 참조하여, 제2 식각 마스크(613)에 의해 노출된 제2절연막(321)을 이방성 식각하여 제1전극(319)의 함몰된 경사부(319S)의 상부 표면(319Ss)을 노출시키는 제2개구부(323)를 형성한다. 제2개구부(323)의 직경은 제1개구부(317)의 하부 개구부(317L)의 직경보다 작게 형성된다. 바람직하게는 포토리소그래피 공정이 허락하는 한 작게 형성한다.

<65> 다음 도 12를 참조하여, 제2 식각 마스크(613)를 제거한 후, 상변화 물질막(325) 및 제2전극막(327)을 순차적으로 형성한다. 상변화 물질막(325)은 바닥이 날카롭게 들어간 즉, 'V' 자형의 바닥을 가진 제2개구부(323)를 채우며 그 양측의 제2절연막(321) 상에 형성된다. 따라서, 상변화 물질막(323)은 제2개구부(323)를 채우는 수직부(325S)와 제2절연막(321) 상에 위치한 수평부(325H)로 구분 될 수 있다. 도시된 바와 같이, 제1전극(319) 및 상변화 물질막(325)이 접촉하여 형성되는 접촉 영역(320)은 날카롭게, 즉, 알파벳 대문자 "V" 형상을 나타낸다.

<66> 상변화 물질막(325)은 칼코젠 원소인 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진다. 예컨대, 상기 상변화 물질막(121)은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등의 칼코젠 화합물을 포함할 수 있다.

<67> 제2전극(327)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상 적층된 다층막으로 형성될 수 있다.

- <68> 바람직하게 제2전극(327)은 티타늄 및 질화티타늄막이 차례로 적층된 이중막으로 형성된다.
- <69> 다음 도 13을 참조하여, 제2전극막(327), 상변화 물질막(325), 제2절연막(321) 및 제1전극막(319)을 차례로 패터닝하여 인접한 셀과 분리된 상변화 기억 셀을 형성한다.
- <70> 선택적으로, 제2전극막(327) 상에 질화산화실리콘막 및 산화실리콘막을 순차적으로 더 형성할 수도 있다.
- <71> 다음 공정은 상부배선 공정이다. 제2전극막(327), 상변화 물질막(325), 제2절연막(321) 및 제1전극막(319)을 차례로 패터닝 한 후, 상부충간절연막(617)을 형성한다. 계속해서, 상부충간절연막(617)을 패터닝하여 패터닝된 제2전극막, 즉, 제2전극(327)을 노출시키는 비아홀(619)을 형성한다. 그런 다음, 비아홀(619)을 채우도록 상부충간절연막(61) 상에 도전물질을 형성하고 이를 평탄화 하여 제2전극 콘택(621)을 형성한다. 예컨대, 제2전극 콘택(621)은 텅스텐으로 형성될 수 있다. 다음, 제2전극 콘택(621) 및 상부충간절연막(617) 상에 배선물질을 증착하고 이를 패터닝하여 상부배선(623)을 형성한다. 예컨대, 상부배선(623)은 알루미늄, 알루미늄구리 합금, 알루미늄구리실리콘 합금, 텅스텐 실리사이드, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 텅스텐티타늄, 구리 등으로 형성될 수 있다.
- <72> 여기서, 상부충간절연막(617)을 형성하기 전에 상변화 기억 셀을 보호하기 위한 보호절연막을 더 형성할 수도 있다. 예컨대, 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2) 등으로 형성될 수 있다.
- <73> 앞서 설명한 실시예에서 도 8의 제1개구부(317)는 비이방성 식각 및 이방성 식각을 순차적으로 진행하여 형성하였다. 하지만, 그 식각 순서를 반대로 진행할 수도 있다. 즉, 도 15에

도시된 바와 같이, 제1 식각 마스크(611)에 의해 노출된 제1절연막((315)을 이방성 식각하여 임시 하부 개구부(317L')를 형성한다. 다음 도 16을 참조하여, 임시 하부 개구부(317L')를 형성한 후, 비이방성 식각을 진행하여 임시 하부 개구부(317L')의 상부가 경사지게 한다. 그 결과 직경이 점차 가늘어지는 상부 개구부(317U) 및 임시 하부 개구부(317L')의 하부, 즉, 하부 개구부(317L)로 이루어진 제1개구부(317)가 완성된다. 이어서 도 9 내지 도 14를 참조하여 설명한 공정들을 진행한다.

<74> 이제 도 17 내지 도 20을 참조하여 도 4에 보여진 상변화 기억 소자를 형성하는 방법에 대해서 설명을 한다. 앞서 설명한 방법과 동일한 것들에 대해서는 중복적인 설명을 생략한다.

<75> 먼저 도 17을 참조하여, 트랜지스터, 하부충간절연막(507), 콘택 패드(509), 하부배선을 형성한 후, 제1절연막(315)을 형성한다. 이어서, 제1절연막(315)을 패터닝하여 콘택 패드(509)를 노출키는 임시 제1개구부(317')를 형성한다. 그런 다음 임시 제1개구부(317') 및 제1절연막(315) 상에 스페이서 절연막(316')을 형성한다.

<76> 다음 도 18을 참조하여, 스페이서 절연막(316')을 이방성 식각하여 임시 제1개구부(317') 양측벽에 측벽 스페이서(316)를 형성한다. 이에 따라, 측벽 스페이서(316)에 의해서 제1개구부(317)가 정의된다. 측벽 스페이서(316)는 그 상부(316Us)는 경사지고 하부(316Lv)는 수직이다. 따라서, 제1개구부(317)는 스페이서의 상부(316Us)에 의해 직경이 점차 감소하는 상부 개구부(317U) 및 측벽 스페이서의 하부(316Lv)에 의해 일정한 직경의 하부 개구부(317L)로 구분 될 수 있다.

<77> 후속 공정은 도 9 내지 도 14를 참조하여 설명한 공정들과 동일하다. 즉, 도 19를 참조하여, 제1개구부(317) 및 제1절연막(315) 상에 제1전극막(319) 및 제2절연막(321)을 차례로 형성한다. 전술한 바와 같이 제1전극막(319)은 함몰된 경사부(319S)를 가진다. 함몰된 경사부

(319S)는 그 상부 표면(319Ss)이 'V' 자형을 나타낸다. 이어서 제2절연막(321) 상에 제2 식각 마스크(613)를 형성한 후 노출된 제2절연막(321)을 이방성 식각하여 제1전극(319)의 함몰된 경사부(319S)를 노출시키는 제2개구부(323)를 형성한다.

<78> 다음 도 20을 참조하여, 제2 식각 마스크(613)를 제거한 후 상변화 물질막(325) 및 제2전극막(327)을 순차적으로 형성한다. 그런 다음 제2전극막(327), 상변화 물질막(325), 제2절연막(321) 및 제1전극막(319)을 차례로 패터닝하여 인접한 셀과 분리된 상변화 기억 셀을 형성한다.

<79> 후속 공정으로 상부배선 공정을 진행한다.

<80> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<81> 이상에서 설명한 바와 같이, 본 발명에 따르면, 제1전극 및 상변화 물질막이 접촉하는 접촉 영역이 'V' 자 형상과 같이 날카롭게 형성되기 때문에, 전류 밀도를 집중시킬 수 있고 이에 따라, 프로그램시 필요한 전류 크기를 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

수평부 및 상기 수평부에서 실질적으로 수직이며 그 선단이 경사진 수직부를 포함하는
상변화 물질막;

상기 상변화 물질막의 상기 수직부 선단에 접촉하는 제1전극;

상기 상변화 물질막의 수평부에 접촉하는 제2전극을 포함하는 상변화 기억 소자.

【청구항 2】

제 1 항에 있어서,

상기 상변화 물질막의 상기 수직부 선단은 알파벳 대문자 "V" 형상을 나타내는 상변화 기억 소자.

【청구항 3】

제 1 항에 있어서,

상기 제1전극은 상기 상변화 물질막의 상기 수직부 선단에 접촉하는 함몰된 경사부 및
상기 함몰된 경사부에 연속하며 상기 상변화 물질막의 수평부에 절연막에 의해 이격되어 평행
한 수직부를 포함하는 상변화 기억 소자.

【청구항 4】

제1개구부를 가지며 기판 상에 배치된 제1절연막, 상기 제1개구부는 상부 경사 측벽부
및 거기에 연속하는 하부 수직 측벽부에 의해 정의되며;

상기 제1개구부 내부 및 상기 제1절연막 상에 배치된 제1전극, 상기 제1전극은 상기 제
1개구부 내의 함몰된 경사부 및 상기 제1개구부 외측의 상기 제1절연막 상의 수평부를 가지며;



상기 제1전극 상에 배치되며 상기 제1전극의 상기 함몰된 경사부를 노출시키는 제2개구부를 가지는 제2절연막;

상기 제2개구부 및 상기 제2절연막 상에 배치된 상변화 물질막;

상기 상변화 물질막 상에 배치된 제2전극을 포함하는 상변화 기억 소자.

【청구항 5】

제 4 항에 있어서,

상기 제1전극의 상기 함몰된 경사부는 알파벳 대문자 "V" 형상인 상변화 기억 소자.

【청구항 6】

제 4 항 또는 제 5 항에 있어서,

상기 제1절연막은 질화산화실리콘막 및 산화실리콘막이 차례로 적층되어 이루어지고, 상기 제1개구부의 하부 수직 측벽부는 상기 질화산화실리콘막에 의해 정의되고, 상기 제1개구부의 상부 경사 측벽부는 상기 산화실리콘막에 의해 정의되는 상변화 기억 소자.

【청구항 7】

제 4 항에 있어서,

상기 제2개구부의 직경은 상기 제1개구부의 하부 수직 측벽부에 의해 정의되는 하부 개구부의 직경보다 더 작은 상변화 기억 소자.

【청구항 8】

제 6 항에 있어서,

상기 제2개구부의 직경은 상기 제1개구부의 하부 수직 측벽부에 의해 정의되는 하부 개구부의 직경보다 더 작은 상변화 기억 소자.

【청구항 9】

제 4 항에 있어서,

상기 상변화 물질막은 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합인 상변화 기억 소자.

【청구항 10】

제 4 항 또는 제 5 항에 있어서,

상기 제1절연막은, 임시 개구부를 가지면서 질화산화실리콘막 및 산화실리콘막이 차례로 적층된 이중막 구조 및 상기 임시 개구부 양측벽에 배치되며 상부는 경사지고 하부는 수직인 절연막 스페이서로 이루어지고,

상기 제1개구부의 상부 경사 측벽부는 상기 절연막 스페이서의 상부 경사부에 의해 정의되고, 상기 제1개구부의 하부 수직 측벽부는 상기 절연막 스페이서의 하부 수직부에 의해서 정의되는 상변화 기억 소자.

【청구항 11】

제 10 항에 있어서,

상기 제2개구부의 직경은 상기 제1개구부의 하부 수직 측벽부에 의해 정의되는 하부 개구부의 직경보다 더 작은 상변화 기억 소자.

【청구항 12】

반도체 기판 상에 제1절연막을 형성하고;

경사진 상부 측벽부에 의해 정의되는 상부 개구부 및 수직의 하부 측벽부에 의해 정의되는 하부 개구부로 이루어진 제1개구부를 가지도록 상기 제1절연막을 패터닝하고;

상기 제1개구부 상에서 함몰된 경사부를 가지도록 상기 제1절연막 및 상기 제1개구부를 따라 제1전극막을 형성하고;

상기 제1전극막 상에 제2절연막을 형성하고;

상기 제1전극의 함몰된 경사부를 노출시키는 제2개구부를 가지도록 상기 제2절연막을 패터닝하고;

상기 제2개구부를 채우도록 상기 제2절연막 상에 상변화 물질막을 형성하고;

상기 상변화 물질막 상에 제2전극막을 형성하고;

상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝하는 것을 포함하는 상변화 기억 소자 형성 방법.

【청구항 13】

제 12 항에 있어서,

상기 제1절연막을 패터닝하는 것은,

상기 제1절연막 상에 식각 마스크를 형성하고,

상기 식각 마스크에 의해 노출된 상기 제1절연막의 일부 두께를 비이방성 식각하여 상기 상부 개구부를 형성하고,



상기 식각 마스크에 의해 노출된 상기 상부 개구부 하부의 제1절연막을 이방성 식각하여
상기 하부 개구부를 형성하는 것을 포함하는 상변화 기억 소자 형성 방법.

【청구항 14】

제 12 항에 있어서,

상기 제1절연막을 패터닝하는 것은,

상기 제1절연막 상에 식각 마스크를 형성하고,

상기 식각 마스크에 의해 노출된 상기 제1절연막을 이방성 식각하여 상기 제1절연막에
상기 하부 개구부의 직경을 갖는 임시 하부 개구부를 형성하고,

상기 임시 하부 개구부의 상부를 한정하는 상기 제1절연막의 일부를 비이방성 식각하여
상기 상부 개구부를 형성하는 것을 포함하되, 잔존하는 임시 하부 개구부는 상기 하부 개구부
에 대응하는 상변화 기억 소자 형성 방법.

【청구항 15】

제 13 항 또는 제 14 항에 있어서,

상기 제1절연막은 질화산화실리콘막 및 산화실리콘막이 차례로 적층시키어 형성하고,

상기 상부 개구부는 상기 산화실리콘막에 형성되고, 상기 하부 개구부는 상기 질화산화
실리콘막에 형성되는 상변화 기억 소자 형성 방법.

【청구항 16】

제 12 항에 있어서,

상기 제2개구부의 직경이 상기 제1개구부의 상기 하부 개구부의 직경보다 더 작도록 상
기 제2개구부가 형성되는 상변화 기억 소자 형성 방법.

【청구항 17】

제 12 항에 있어서,

상기 제2전극막을 형성한 후, 상기 제2전극막 상에 질화산화실리콘막 및 산화실리콘막을 더 형성하는 것을 포함하고,

상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝할 때, 상기 산화실리콘막 및 질화산화실리콘막도 동시에 패터닝하는 상변화 기억 소자 형성 방법.

【청구항 18】

제 17 항에 있어서,

상기 제1절연막을 형성하기 전에,

상기 기판 상에 트랜지스터를 형성하고;

상기 트랜지스터를 덮도록 상기 기판 상에 제1층간절연막을 형성하고;

상기 트랜지스터의 소오스 영역에 전기적으로 접속하는 콘택 패드 및 상기 트랜지스터의 드레인 영역에 접속하는 제1배선을 형성하는 것을 더 포함하고,

상기 산화실리콘막, 질화산화실리콘막, 제2전극막, 상변화 물질막, 제2절연막 및 제1전극막을 차례로 패터닝한 후,

보호 절연막을 형성하고;

상기 보호 절연막 상에 제2층간절연막을 형성하고;

상기 제2층간절연막, 보호 절연막, 패터닝된 산화실리콘막, 질화산화실리콘막을 패터닝하여 패터닝된 제2전극막을 노출시키는 비아홀을 형성하고;

상기 비아홀을 도전물질로 채우고;

상기 제2층간절연막 및 상기 도전물질 상에 제2배선을 형성하는 것을 더 포함하는 상변화 기억 소자 형성 방법.

【청구항 19】

반도체 기판 상에 제1절연막을 형성하고;

상기 제1절연막을 패터닝하여 임시 개구부를 형성하고;

상기 임시 개구부의 측벽에 절연막 스페이서를 형성하되, 상기 절연막 스페이서는 경사진 상부 측벽부에 의해 정의되는 상부 개구부 및 수직의 하부 측벽부에 의해 정의되는 하부 개구부로 이루어진 제1개구부를 정의하고;

상기 제1개구부 상에서 함몰된 경사부를 가지도록 상기 상부 개구부 및 상기 제1절연막을 따라 제1전극막을 형성하고;

상기 제1전극막 상에 제2절연막을 형성하고;

상기 제1전극막의 함몰된 경사부를 노출시키는 제2개구부를 가지도록 상기 제2절연막을 패터닝하고;

상기 제2개구부 내부 및 상기 제2절연막 상에 상변화 물질막을 형성하고;

상기 상변화 물질막 상에 제2전극막을 형성하고;

상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝하는 것을 포함하는 상변화 기억 소자 형성 방법.

【청구항 20】

제 19 항에 있어서,

상기 제2개구부의 직경이 상기 제1개구부의 상기 하부 개구부의 직경보다 더 작도록 상기 제2개구부가 형성되는 상변화 기억 소자 형성 방법,

【청구항 21】

제 19 항에 있어서,

상기 제2전극막을 형성한 후, 상기 제2전극막 상에 질화산화실리콘막 및 산화실리콘막을 더 형성하는 것을 포함하고,

상기 제2전극막, 상기 상변화 물질막, 상기 제2절연막 및 상기 제1전극막을 차례로 패터닝할 때, 상기 산화실리콘막 및 질화산화실리콘막도 동시에 패터닝하는 상변화 기억 소자 형성 방법.

【청구항 22】

제 21 항에 있어서,

상기 제1절연막을 형성하기 전에,

상기 기판 상에 트랜지스터를 형성하고;

상기 트랜지스터를 덮도록 상기 기판 상에 제1층간절연막을 형성하고;

상기 트랜지스터의 소오스 영역에 전기적으로 접속하는 콘택 패드 및 상기 트랜지스터의 드레인 영역에 접속하는 제1배선을 형성하는 것을 더 포함하고,

상기 산화실리콘막, 질화산화실리콘막, 제2전극막, 상변화 물질막, 제2절연막 및 제1전극막을 차례로 패터닝한 후,



보호 절연막을 형성하고;

상기 보호 절연막 상에 제2층간절연막을 형성하고;

상기 제2층간절연막, 보호 절연막, 패터닝된 산화실리콘막, 질화산화실리콘막을 패터닝하여 패터닝된 제2전극막을 노출시키는 비아홀을 형성하고;

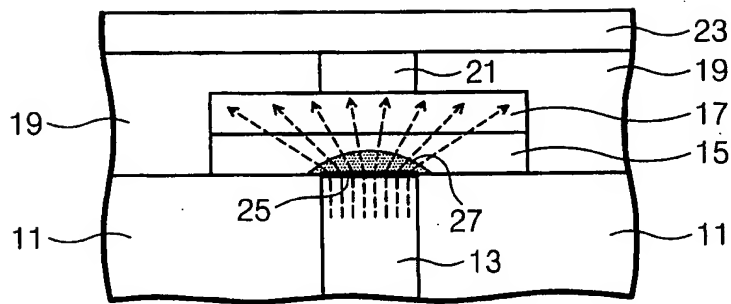
상기 비아홀을 도전물질로 채우고;

상기 제2층간절연막 및 상기 도전물질 상에 제2배선을 형성하는 것을 더 포함하는 상변화 기억 소자 형성 방법.

【도면】

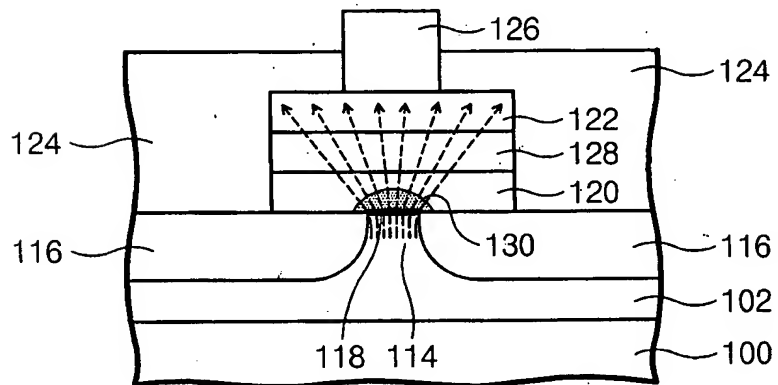
【도 1】

(종래 기술)

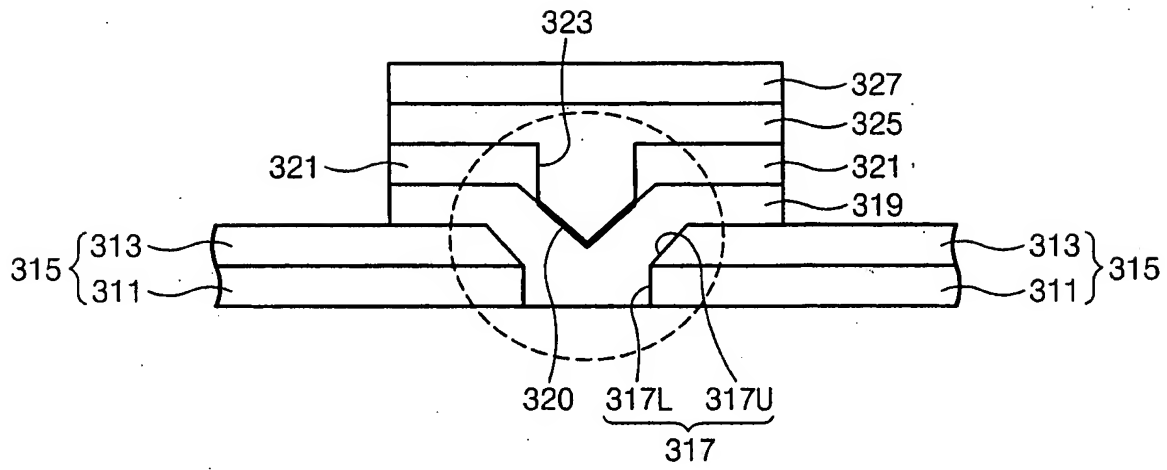


【도 2】

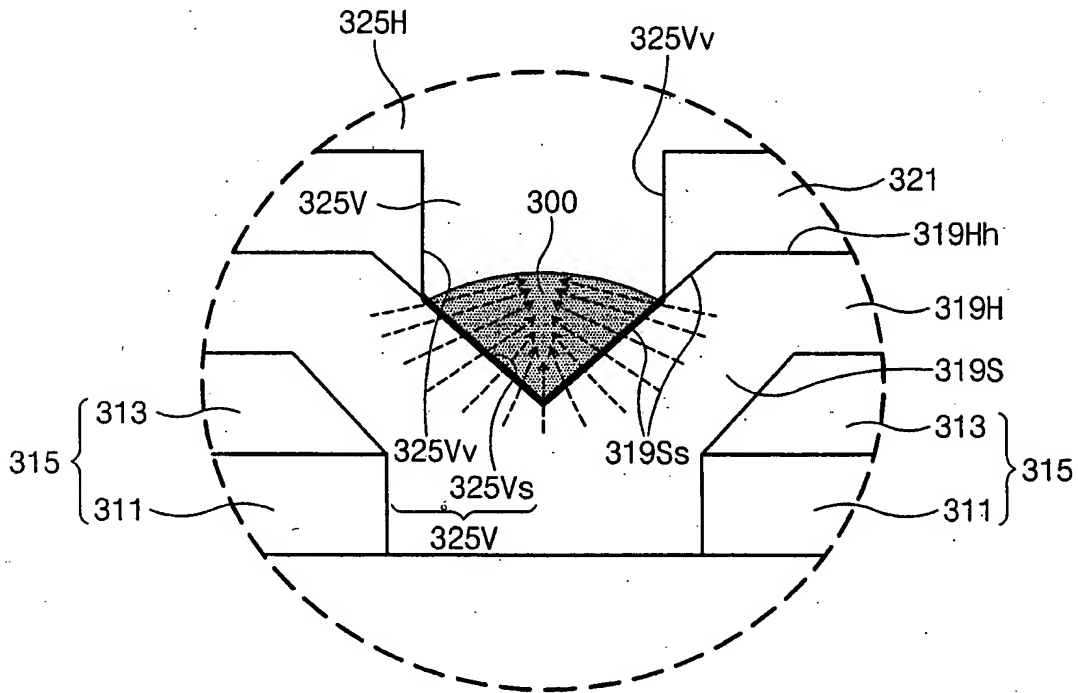
(종래 기술)



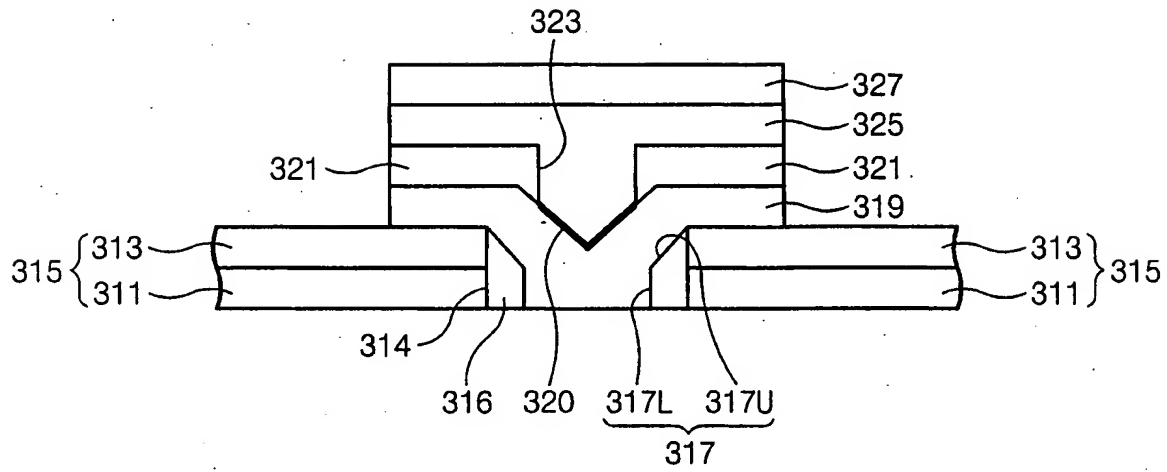
【도 3a】



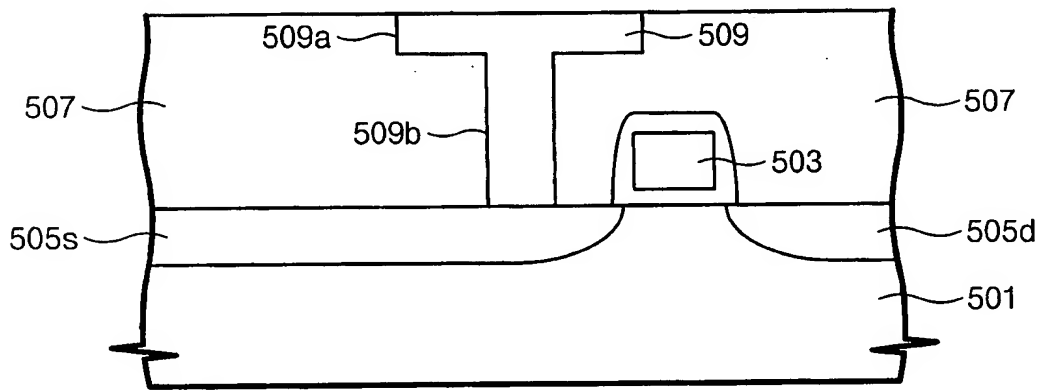
【도 3b】



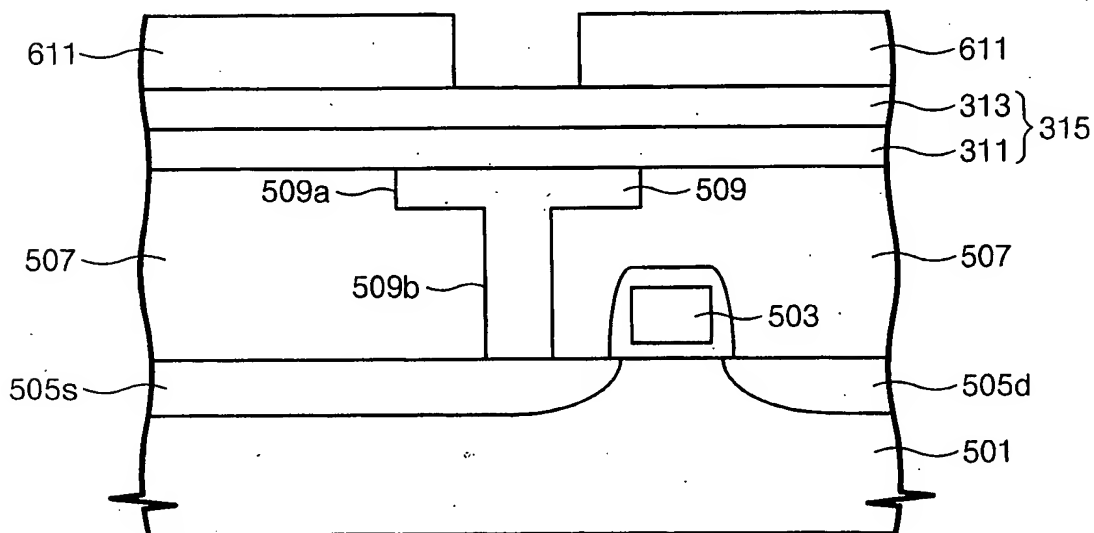
【도 4】



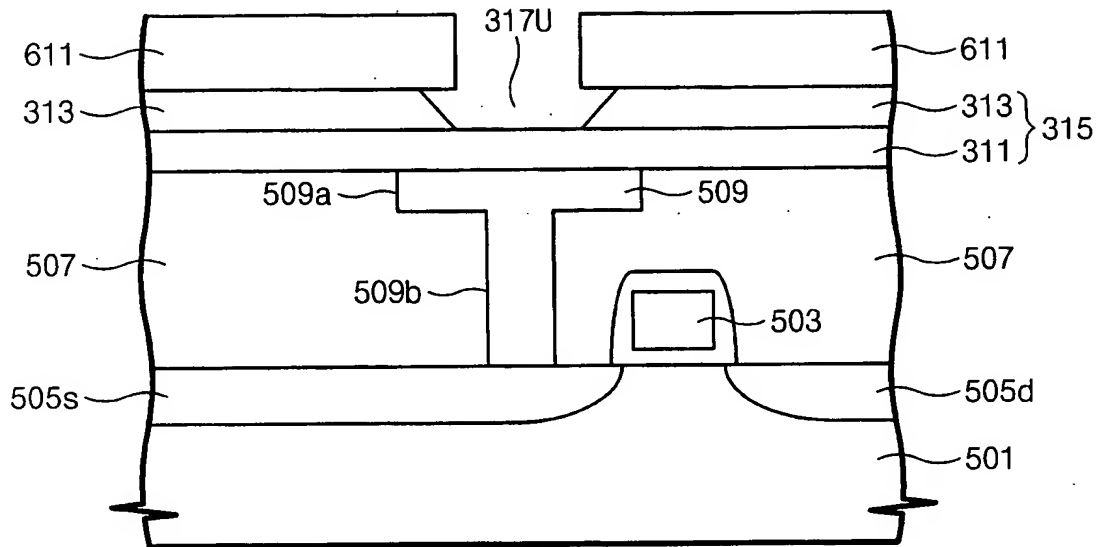
【도 5】



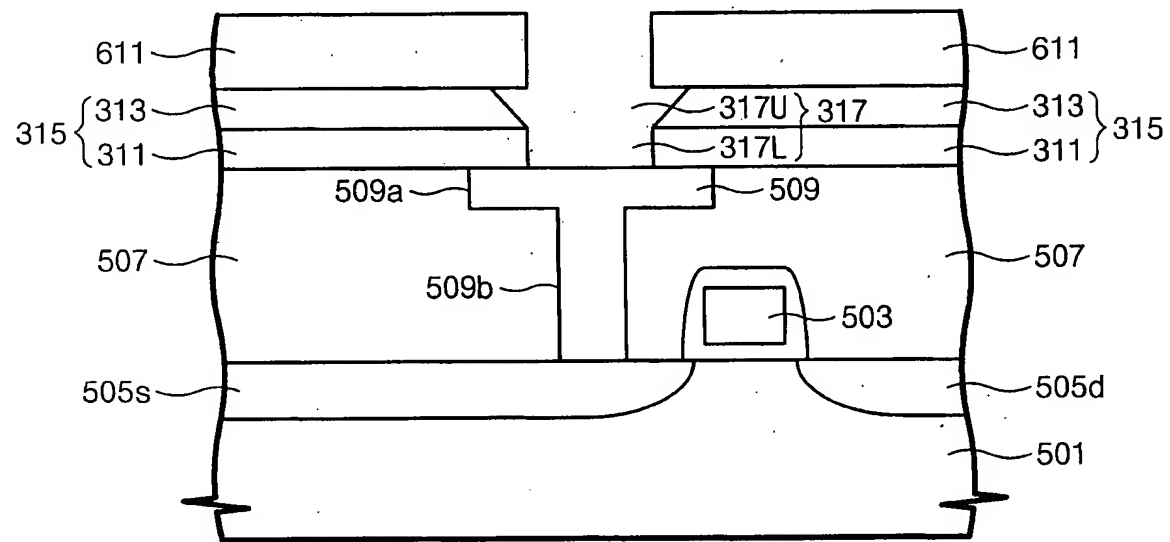
【도 6】



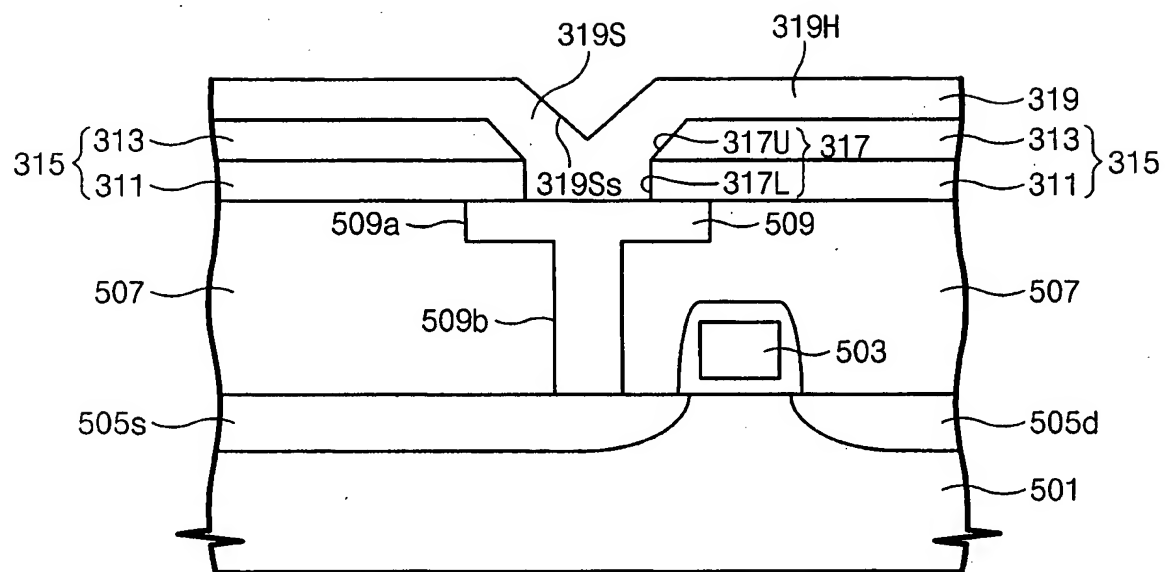
【도 7】



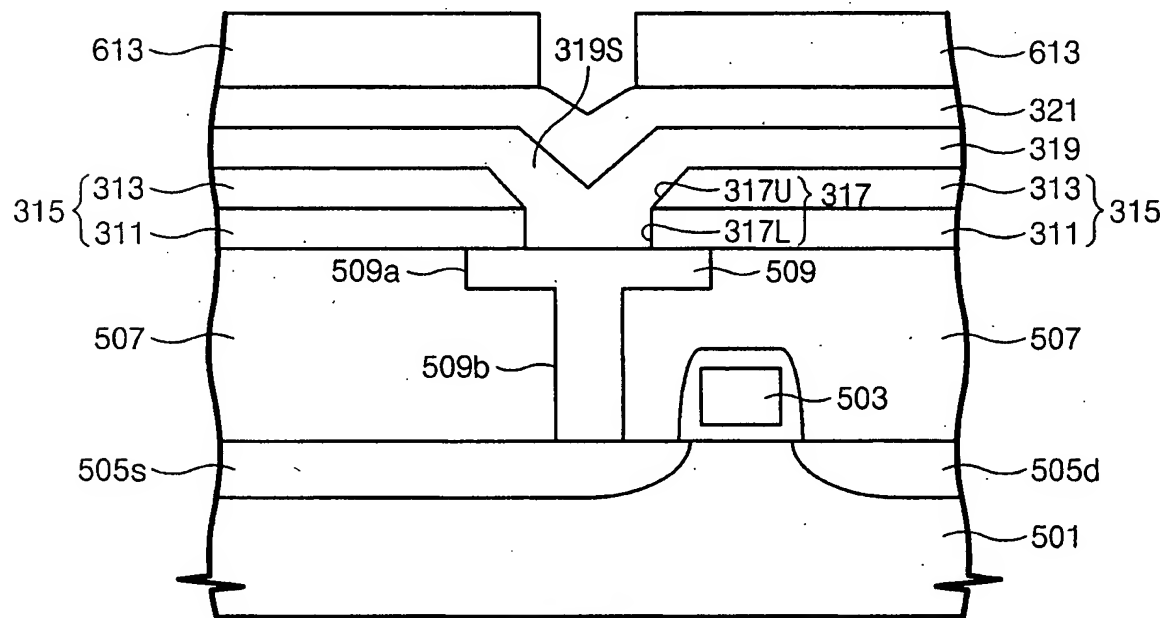
【도 8】



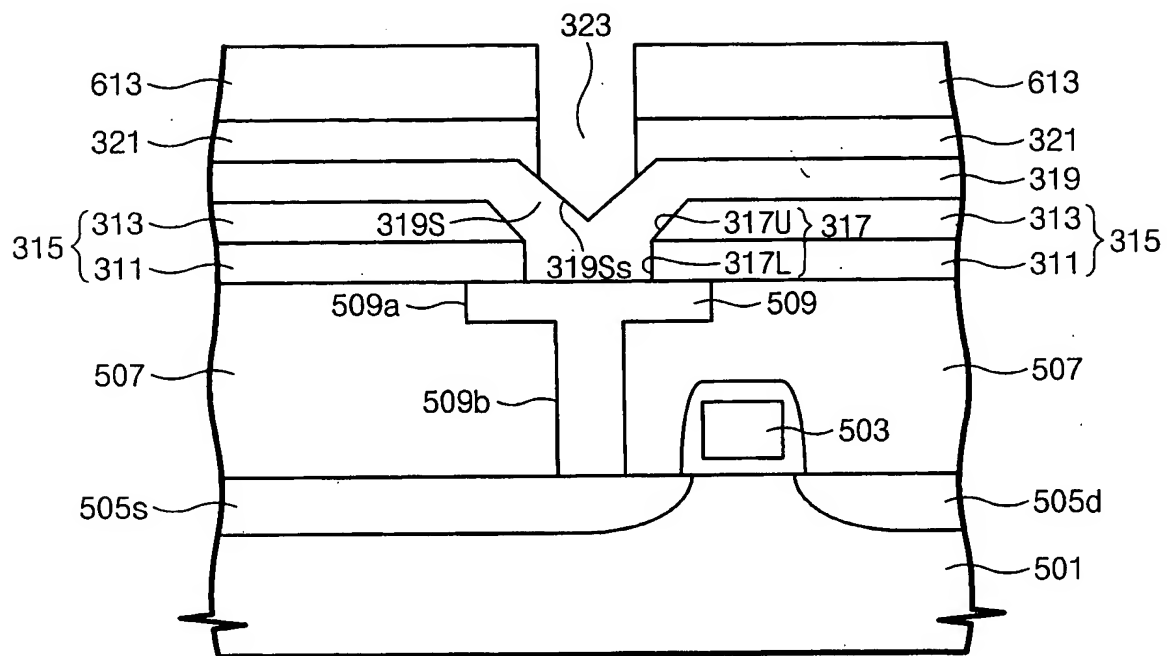
【도 9】



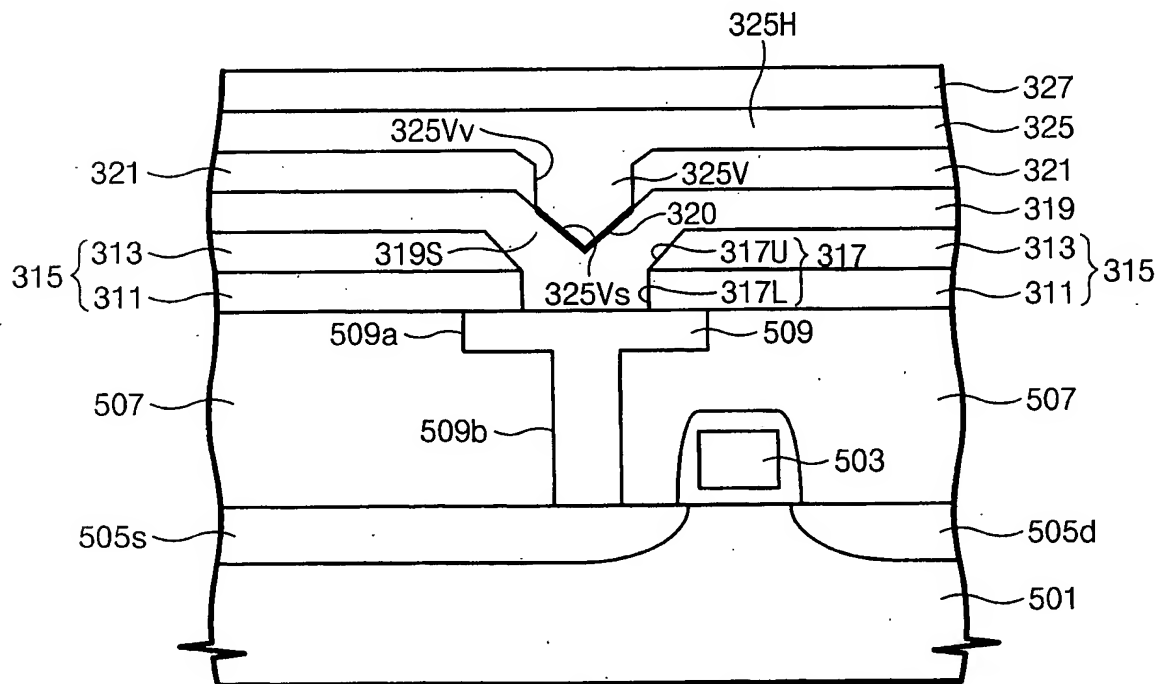
【도 10】



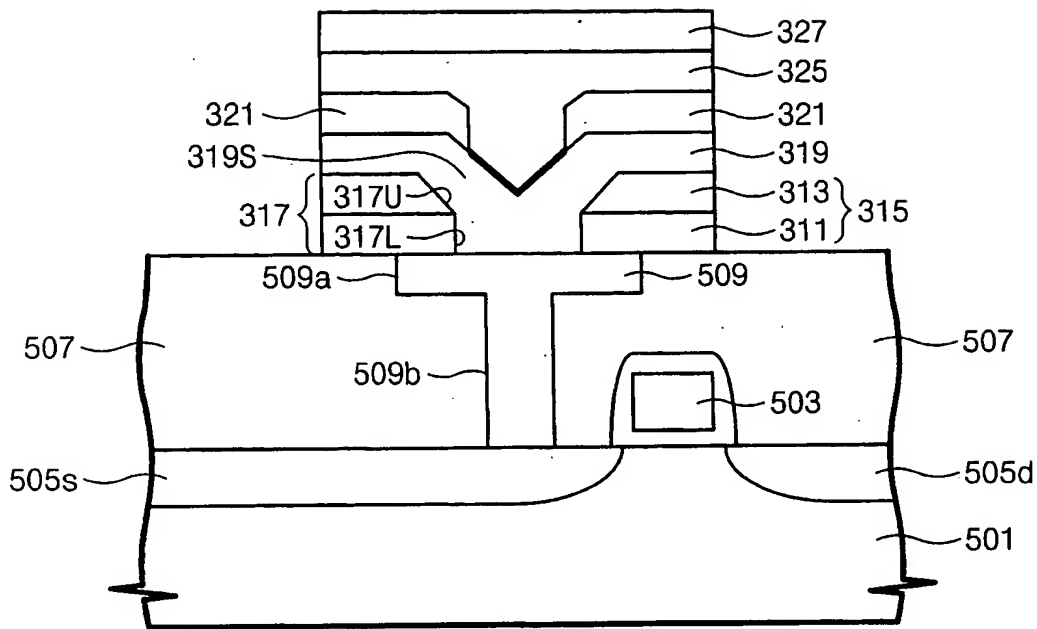
【도 11】



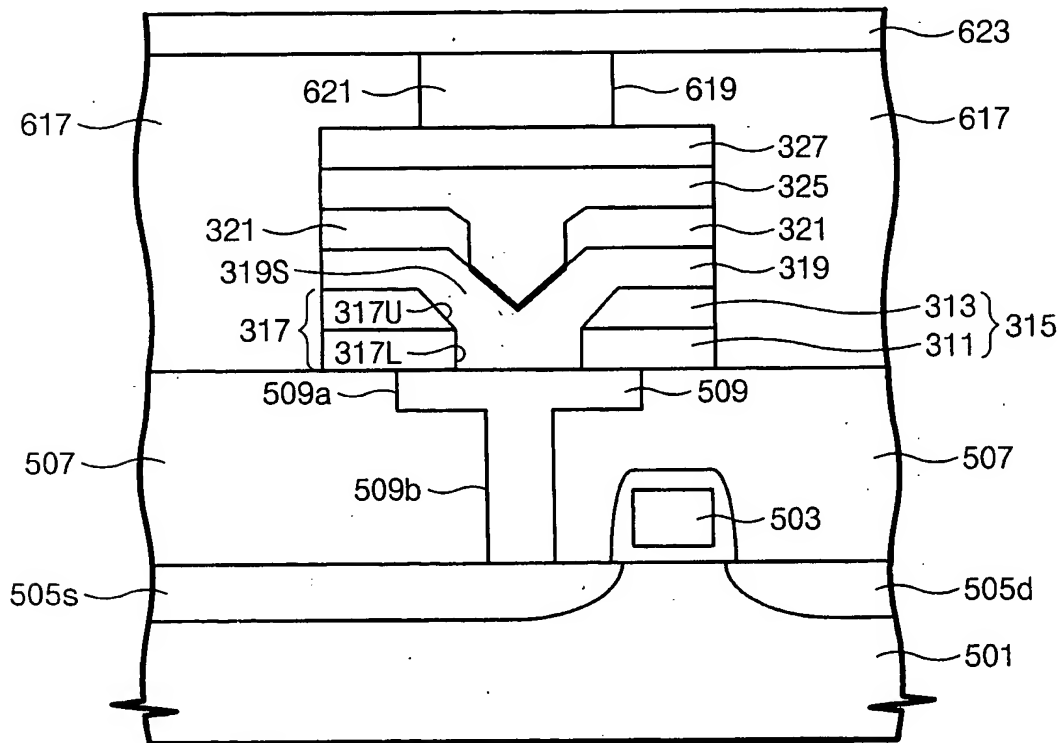
【도 12】



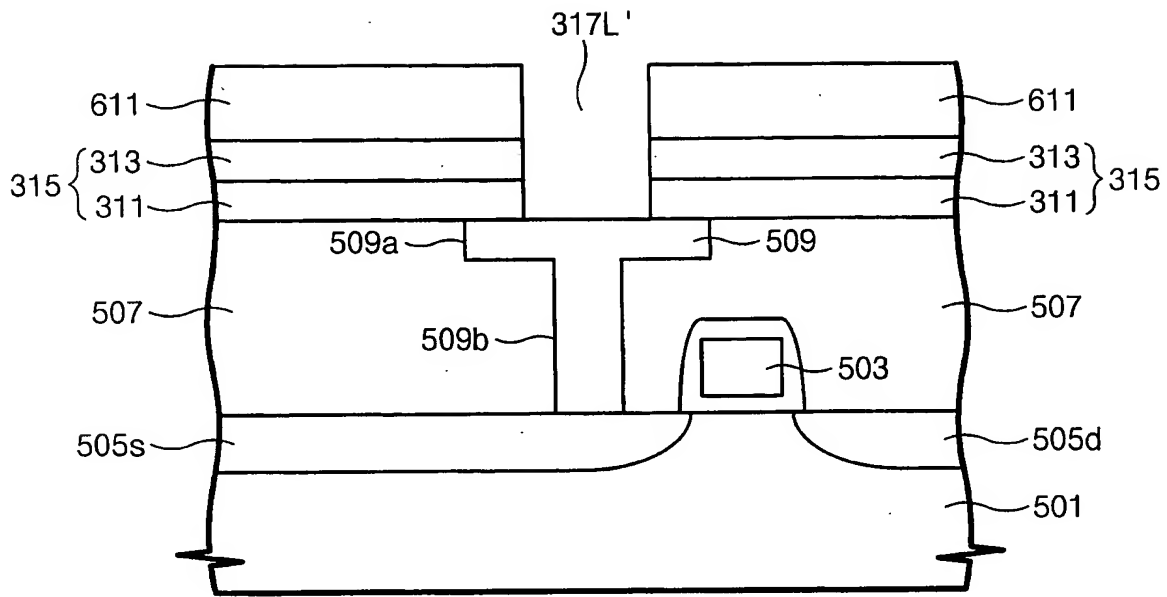
【도 13】



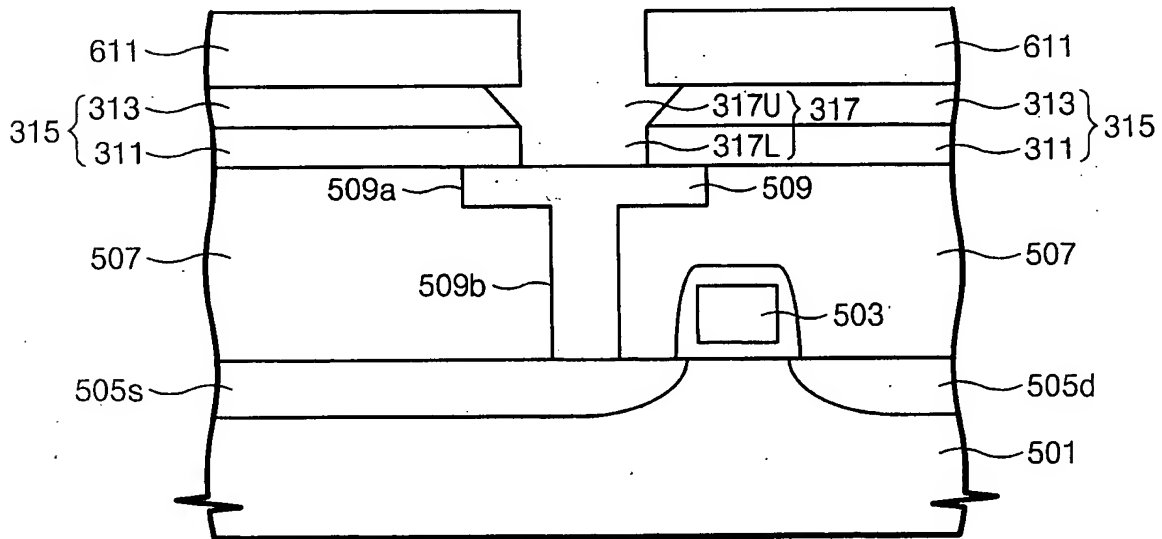
【도 14】



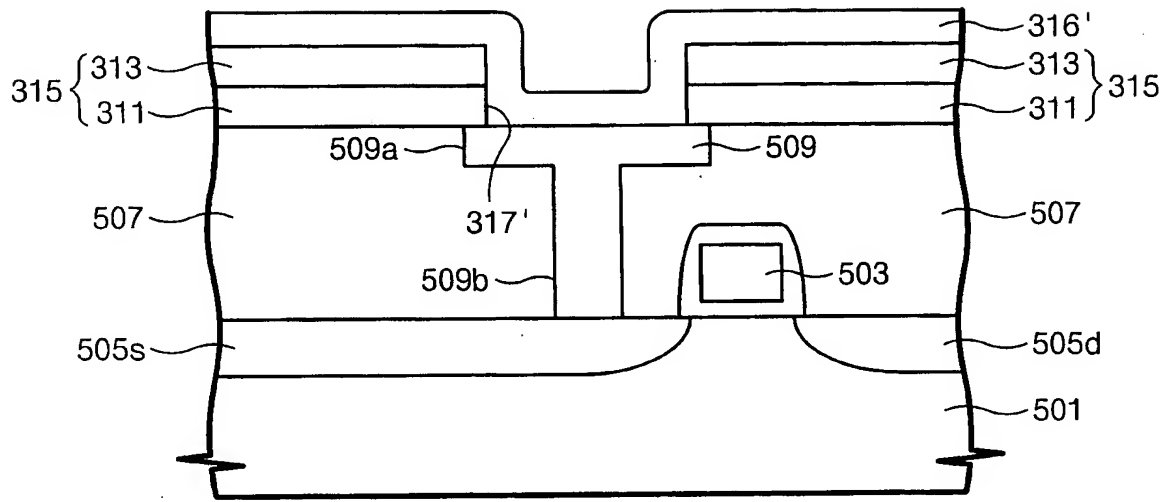
【도 15】



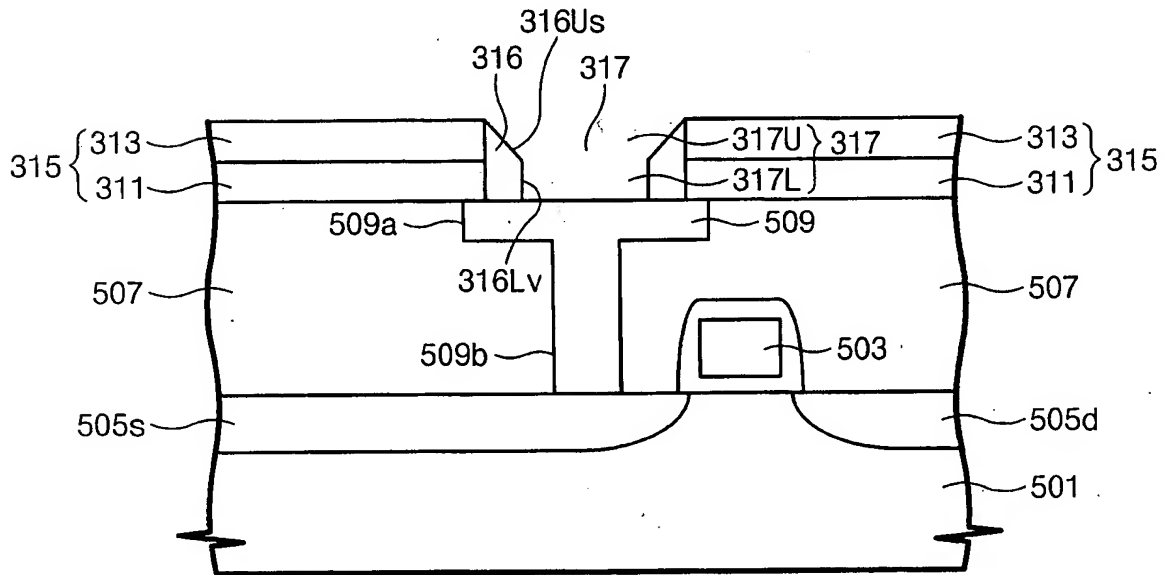
【도 16】



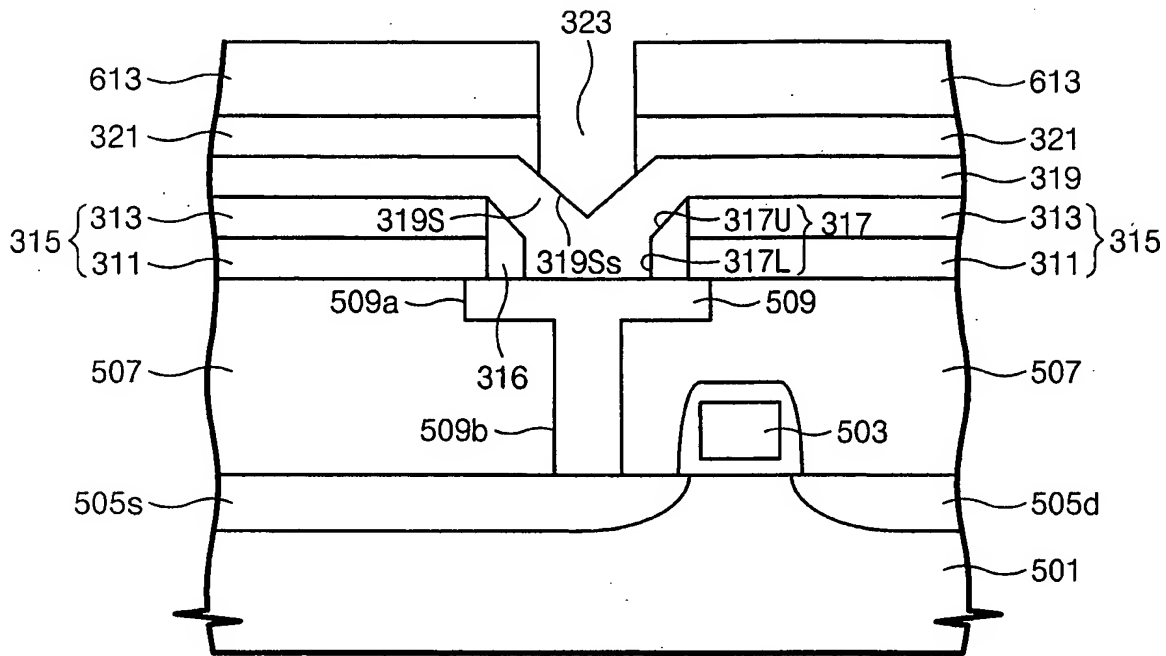
【도 17】



【도 18】



【도 19】



【도 20】

